

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-046443

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H04N 5/16

H04N 5/08

(21)Application number : 05-204684

(71)Applicant : SONY CORP

(22)Date of filing : 27.07.1993

(72)Inventor : OGAWA SHOEI
YAMAGATA YUTAKA
TAKEDA KAZUHIRO
ITO YOSHIHARU

(54) SYNC TIP CLAMPING/SYNCHRONIZATION SEPARATING CIRCUIT

(57)Abstract:

PURPOSE: To make the size of the SYNC tip clamping/synchronization separating circuit by a CMOS process small and to reduce the cost.

CONSTITUTION: A final output amplifier section 17B of a differential amplifier circuit 17 is made up of a P-channel FETQ16 and a current pulling down a drain terminal of the P-channel FETQ16 is set smaller than a current flowing when the P-channel FETQ16 is turned on. A predetermined voltage is impressed to a noninverting input terminal (+) of the differential amplifier circuit 17 by resistors 18, 19, and an inverting input terminal (-) of the differential amplifier circuit 17 and an output terminal 14 are connected and an input coupling capacitor 5 is interposed between the inverting input terminal (-) and a video signal input terminal 1.

Furthermore, a buffer 20 is provided, which extracts a synchronizing signal from the input of

the P-channel FET16.

LEGAL STATUS

[Date of request for examination]

17.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3384045

[Date of registration] 27.12.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JP- H07- 46 443

書誌

- (19) 【発行国】 日本国特許庁 (J P)
(12) 【公報種別】 公開特許公報 (A)
(11) 【公開番号】 特開平 7 - 4 6 4 4 3
(43) 【公開日】 平成 7 年 (1 9 9 5) 2 月 1 4 日
(54) 【発明の名称】 シンクチップクランプ / 同期分離回路
(51) 【国際特許分類第 6 版】

H04N 5/16 A
5/08 Z

【審査請求】 未請求
【請求項の数】 2
【出願形態】 F D
【全頁数】 6

- (21) 【出願番号】 特願平 5 - 2 0 4 6 8 4
(22) 【出願日】 平成 5 年 (1 9 9 3) 7 月 2 7 日
(71) 【出願人】
【識別番号】 0 0 0 0 0 2 1 8 5
【氏名又は名称】 ソニー株式会社
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号

- (72) 【発明者】
【氏名】 小川 昭英
【住所又は居所】 長崎県諫早市津久葉町 1 8 8 3 番 4 3 ソニー長崎株式会社内

- (72) 【発明者】
【氏名】 山形 裕
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

- (72) 【発明者】
【氏名】 竹田 一弘
【住所又は居所】 長崎県諫早市津久葉町 1 8 8 3 番 4 3 ソニー長崎株式会社内

- (72) 【発明者】
【氏名】 伊藤 義治
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

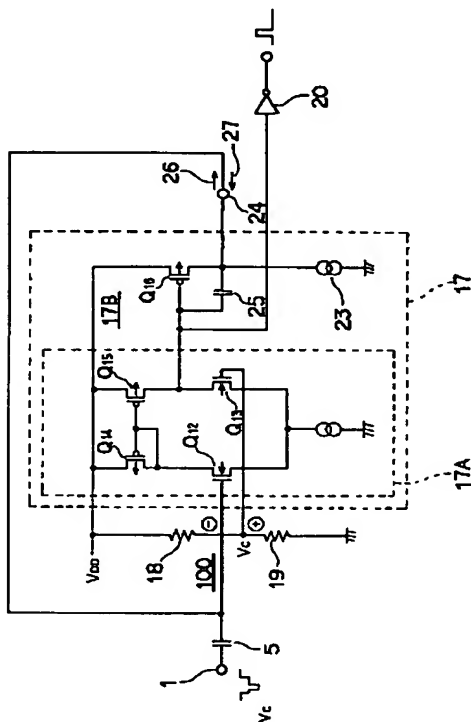
- (74) 【代理人】
【弁理士】
【氏名又は名称】 高橋 光男

要約

- (57) 【要約】
【目的】
CMOS プロセスによるシンクチップクランプ / 同期分離回路の小形化及び低コスト化を図る。

【構成】

差動増幅回路 17 の最終出力増幅部 17B を P チャネル FET Q_{16} で構成し、その P チャネル FET Q_{16} のドレイン端子をプルダウンする電流をその P チャネル FET Q_{16} がオンしたときに流れる電流よりも少ない値に設定する。差動増幅回路 17 の非反転入力端 (+) には抵抗 18、19 により一定電圧を印加する。また、差動増幅回路 17 の反転入力端 (-) と出力端子 24 とを接続し、さらに反転入力端 (-) と映像信号入力端子 1 との間に入力カップリングコンデンサ 5 を介挿する。また、P チャネル FET の入力から同期信号を取り出すバッファ 20 を設ける。



請求の範囲

【特許請求の範囲】

【請求項 1】

最終出力増幅部をPチャネルFETで構成し、該PチャネルFETのドレイン端子を前段の差動増幅部の反転入力端に接続してなる差動増幅回路と、前記差動増幅回路のPチャネルFETのドレイン端子をプルダウンする電流を該PチャネルFETのオン時に流れる電流よりも少ない電流に制限する電流制限手段と、前記差動増幅回路の非反転入力端に一定電圧を印加する電圧印加手段と、前記差動増幅回路の反転入力端と正極性映像信号入力端子との間に介挿される入力カップリングコンデンサと、前記差動増幅回路のPチャネルFETの入力から同期信号を

取り出す同期信号出力手段と、を備えたことを特徴とするシンクチップクランプ／同期分離回路。

【請求項 2】

差動増幅回路の出力端にゲート端子を接続し、電源ラインにドレイン端子を接続し、前記差動増幅回路の反転入力端にソース端子を接続したNチャンネルFETと、前記NチャンネルFETのソース端子を該NチャンネルFETの駆動能力よりも少ない電流でプルダウンする電流制限手段と、前記差動増幅回路の非反転入力端子に一定電圧を印加する電圧印加手段と、前記差動増幅回路の反転入力端と正極性映像信号入力端子との間に介挿される入力カップリングコンデンサと、前記NチャンネルFETの入力から同期信号を取り出す同期信号出力手段と、を備えたことを特徴とするシンクチップクランプ／同期分離回路。

詳細な説明

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、テレビジョン受信機やビデオテープレコーダ等の映像信号を扱う機器に用いて好適なシンクチップクランプ／同期分離回路に関する。

【0002】

【従来の技術】従来より、上述した映像信号を扱う機器では、映像の明るさや振幅によらず、同期信号の尖搭部分の電圧を一定にする映像信号クランプ回路が設けられている。図3はそのような映像信号クランプ回路であるシンクチップクランプ回路の構成を示す図である。この図において、1は映像信号入力端子であり、映像信号 S_v が供給される。2は演算増幅器（オペアンプ）等を使用した増幅回路であり、その出力端にはダイオード3のアノードが接続され、その非反転入力端（+）と接地との間には電源4が接続され、その反転入力端（-）と映像信号入力端子1の間には入力カップリングコンデンサ5が接続されている。また、反転入力端に上記ダイオード3のカソードが接続されている。6は入力カップリングコンデンサ5の放電電流である。

【0003】図4は入力カップリングコンデンサ5を通過した後の映像信号を示す波形図である。以下、この波形図を参照しながらこの回路の動作を説明する。映像信号 S_v がシンクチップの期間 T_1 になると、この期間 T_1 での映像信号 S_v の電圧レベルが電源4の電圧 V_c より下がる。これにより増幅回路2の出力電圧 V_a が上昇し、図に示すように変化する。増幅回路2の出力電圧 V_a が映像信号 S_v よりも高い電圧になると、ダイオード3が導通し、入力カップリングコンデンサ5がチャージされ、増幅回路2の反転入力端での電圧が電圧 V_c よりも低くならないように働く。このようにして映像信号 S_v 中の最低の電位であるシンクチップを電源4の電圧 V_c と等しくさせるように動作する。この図3に示すシンクチップクランプ回路を集積回路で実現するにはバイポーラプロセスによる集積回路が用いられている。

【0004】ところで、近年、デジタル信号処理の増大や高集積化等の目的からCMOSプロセスによる集積回路で映像信号を扱うことが多くなってきているが、このCMOSプロセスでは、例えば図3におけるダイオード3のようにダイオードをそのままでは実現することができない。そこで、回路を工夫し、ダイオードを用いることなくCOMSプロセスによる集積回路を実現したものが、例えば特公平4-31473号に開示されている。

【0005】図5はその特公平4-31473号に開示されたCMOSプロセスによるシンクチップクランプ回路を示す図である。この図において、11は複数のCMOSトランジスタ $Q_3 \sim Q_9$ から構成される増幅回路であり、図3における増幅回路2に相当する。12、13の各々はインバータであり、特にインバータ13は図示のように二つのCMOSトランジスタ Q_1 、 Q_2 から構成されている。14、15の各々は抵抗であり、これらと上記インバータ12、13は図3におけるダイオード3に相当する。この場合、抵抗15の抵抗値を抵抗14の抵抗値よりも小さくすることによってダイオード3と同様の機能を実現している。

【0006】一方、上記増幅回路11には動作安定化のための位相補償用コンデンサ16が設けられている。この位相補償用コンデンサ16は、増幅回路11の後段に増幅作用を持つインバータ12、13が接続されることから、容量の大きなものが用いられている。この位相補償用コンデンサ16として容量の大きいものを使用すると、増幅回路11の応答速度が遅くなることから図示のようにこれと直列に抵抗17が介挿されている。

【0007】

【発明が解決しようとする課題】ところで、上述した従来のCMOSプロセスによるシンクチップクランプ／同期分離回路にあつては、位相補償用の抵抗17として高精度のものが要求されるので、この抵抗17の面積が大きくなり、位相補償用コンデンサ16の大容量化とともに、全体としての形状の小形化および低コスト化が難しいという問題点があつた。

【0008】そこで本発明は、小形化および低コスト化を図ることができるシンクチップクランプ／同期分離回路を提供することを目的としている。

【0009】

【課題を解決するための手段】上記目的達成のため請求項1記載の発明によるシンクチップクランプ／同期分離回路は、最終出力増幅部をPチャネルFETで構成し、該PチャネルFETのドレイン端子を前段の差動増幅部の反転入力端に接続してなる差動増幅回路と、前記差動増幅回路のPチャネルFETのドレイン端子をプルダウンする電流を該PチャネルFETのオン時に流れる電流よりも少ない電流に制限する電流制限手段と、前記差動増幅回路の非反転入力端に一定電圧を印加する電圧印加手段と、前記差動増幅回路の反転入力端と正極性映像信号入力端子との間に介挿される入力カップリングコンデンサと、前記差動増幅回路のPチャネルFETの入力から同期信号を取り出す同期信号出力手段とを備えたことを特徴とする。

【0010】また、請求項2記載のシンクチップクランプ／同期分離回路は、差動増幅回路の出力端にゲート端子を接続し、電源ラインにドレイン端子を接続し

、前記差動増幅回路の反転入力端にソース端子を接続したNチャネルFETと、前記NチャネルFETのソース端子を該NチャネルFETの駆動能力よりも少ない電流でプルダウンする電流制限手段と、前記差動増幅回路の非反転入力端子に一定電圧を印加する電圧印加手段と、前記差動増幅回路の反転入力端と正極性映像信号入力端子との間に介挿される入力カップリングコンデンサと、前記NチャネルFETの入力から同期信号を取り出す同期信号出力手段とを備えたことを特徴とする。

【0011】

【作用】本発明では、MOSFETのソースフォロワまたはオープンドレインを使用することで、ダイオードを用いることなく、チップクランプを行う。したがって、簡易な回路構成でシンクチップクランプおよび同期分離をCMOSで実現することができる。

【0012】

【実施例】以下、本発明を図面に基づいて説明する。図1は本発明のシンクチップクランプ／同期分離回路の実施例1を示す図である。この図において、1は映像信号入力端子、5は入力カップリングコンデンサであり、その一端が映像信号入力端子1に接続され、他端が差動増幅回路（例えばオペアンプ）17の反転入力端（－）に接続されている。この入力カップリングコンデンサ5を介して差動増幅回路17の反転入力端（－）に正極性の複合映像信号が供給される。差動増幅回路17の非反転入力端（＋）には電源電圧 V_{DD} を抵抗18、19で分圧したクランプ電圧 V_c が印加される。

【0013】差動増幅回路17は、図示のように2つのNチャネルMOSFET Q_{12} 、 Q_{13} と、2つのPチャネルMOSFET Q_{14} 、 Q_{15} とから構成される差動増幅部17Aと、PチャネルMOSFET Q_{16} で構成され、差動増幅部17Aの出力を増幅する最終出力増幅部17Bとから構成される。差動増幅部17AのNチャネルMOSFET Q_{12} のゲート端子が反転入力端になっており、NチャネルMOSFET Q_{13} のゲート端子が非反転入力端になっている。

【0014】最終出力増幅部17BのPチャネルMOSFET Q_{16} は、そのドレイン端子が差動増幅部17Aの反転入力端に接続されている。また、PチャネルMOSFET Q_{16} のゲート端子が差動増幅回路17の外部に設けられたバッファ20の入力端に接続されている。このバッファ20から同期信号が出力される。また、PチャネルMOSFET Q_{16} のゲート端子とドレイン端子との間に位相補償用コンデンサ25が介挿されている。

【0015】23はPチャネルMOSFET Q_{16} のドレイン端子をプルダウンする定電流源であり、PチャネルMOSFET Q_{16} がオンしたときに流れる電流よりも小さくなるように設定されている。このPチャネルMOSFET Q_{16} から構成される最終増幅部17BはPチャネルオープンドレインと見做すことができる。上記抵抗18、19は電圧印加手段100を構成する。また、上記映像信号入力端子1は正極性映像信号入力端子に対応する。

【0016】このような構成において、映像信号入力端子1に供給された複合映像信号 S_v が入力カップリングコンデンサ5を通して差動増幅回路17の反転入

力端に与えられる。入力カップリングコンデンサ5を通過した複合映像信号 S_v の波形は図4に示すものと同様である。

【0017】そして、複合映像信号 S_v がシンクチップの期間 T_1 になり、クランプ電圧 V_c よりも低い電圧になると、映像増幅回路17の最終出力段のPチャネルMOSFET Q_{16} がオンする。これにより、PチャネルMOSFET Q_{16} のドレイン電流が増加するので、矢印26に示す向きに電流が流れて入力カップリングコンデンサ5が充電され、差動増幅回路17の反転入力端での電圧がクランプ電圧 V_c よりも高くなる。すなわち、複合映像信号がシンクチップの期間 T_1 では差動増幅回路17の反転入力端における電圧がクランプ電圧 V_c よりも下がらないように働く。

【0018】この実施例1では、差動増幅回路17の出力段は、PチャネルMOSFET Q_{16} の能力が入力カップリングコンデンサ5の放電を行う定電流源23よりも大きいと見做せる。また、差動増幅回路17の出力端子24では矢印26で示す方向に流れ出る電流が矢印27で示す方向に流入する電流よりも大きくなるので、ダイオードと同様の効果が得られる。また、差動増幅回路17の外部に増幅作用を持つ回路（図5に示す従来例ではバッファ12、13）が無いので、位相補償用コンデンサ25の容量を大きくする等工夫を必要としない。

【0019】以上のように、この実施例1によれば、出力段をPチャネルMOSFETで構成した差動増幅回路17を用いることにより、簡易な回路構成でシンクチップクランプおよび同期分離をCMOSで実現することができる。

【0020】実施例2. 図2は本発明のシンクチップクランプ／同期分離回路の実施例2を示す図である。なお、この図において前述した図1と共通する部分には同一の符号を付してその説明を省略する。この図において、28は差動増幅回路（例えばオペアンプ）であり、その反転入力端（-）に入力カップリングコンデンサ5を介して正極性の複合映像信号が供給される。非反転入力端（+）には電源電圧 V_{DD} を抵抗18、19で分圧したクランプ電圧 V_c が印加される。

【0021】差動増幅回路28は、図示のように2つのPチャネルMOSFET Q_{17} 、 Q_{18} と、2つのNチャネルMOSFET Q_{19} 、 Q_{20} とで構成される差動増幅部28Aと、NチャネルMOSFET Q_{21} で構成され、差動増幅部28Aの出力を増幅する最終出力増幅部28Bとから構成される。差動増幅部28AのPチャネルMOSFET Q_{17} のゲート端子が反転入力端になっており、PチャネルMOSFET Q_{18} のゲート端子が非反転入力端になっている。最終出力増幅部28BのNチャネルMOSFET Q_{21} は、そのドレイン端子が出力端子24に接続されている。また、ドレイン端子とゲート端子の間には位相補償用コンデンサ34が介挿されている。

【0022】差動増幅回路28の出力端子24にはNチャネルMOSFET Q_{22} のゲート端子が接続されている。このNチャネルMOSFET Q_{22} は、そのドレイン端子が電源ラインに接続され、電源電圧 V_{DD} が印加される。また、そのソース端子が差動増幅回路28の反転入力端に接続されるとともに、このソース端子から信号が出力される。NチャネルMOSFET Q_{22} はソースフォロウとして構

成され、そのソース端子がこのFET Q_{22} の駆動能力よりも少ない電流でプルダウンされる。30はNチャネルMOSFET Q_{22} のソース端子をプルダウンする定電流源である。NチャネルMOSFET Q_{22} のゲート端子にはバッファ20の入力端が接続され、このバッファ20を介して同期信号が出力される。

【0023】このような構成において、映像信号入力端子1に供給された複合映像信号は、入力カップリングコンデンサ5を通して差動増幅回路28に入力される。この場合、差動増幅回路28の反転入力端における複合映像信号 S_v の波形は図4と同様である。そして、複合映像信号がシンクチップの期間 T_1 になり、クランプ電圧 V_c よりも低い電圧になると、映像増幅回路28の出力電圧が上昇する。これにより、NチャネルMOSFET Q_{22} のドレイン電流が増加するので、矢印32に示す向きに電流が流れて入力カップリングコンデンサ5が充電され、差動増幅回路28の反転入力端での電圧がクランプ電圧 V_c よりも高くなる。

【0024】すなわち、複合映像信号がシンクチップの期間 T_1 では差動増幅回路28の反転入力端における電圧がクランプ電圧 V_c よりも下がらないように働く。定電流源30をNチャネルMOSFET Q_{22} に流れる電流より小さく設定しているので、矢印32の向きの電流は矢印33の向きの電流より大きくなり、ダイオードを用いたと同様の効果が得られる。

【0025】この実施例2では、NチャネルMOSFET Q_{22} をソースフォロワとして構成しているので、電圧増幅率が”1”以下であることから、位相補償コンデンサ34の容量を大きくする等の工夫が不要である。また、図1の実施例1と異なり増幅回路28の出力段にはNチャネルMOSFETまたはPチャネルMOSFETのいずれを用いても良い。この実施例2ではNチャネルMOSFET Q_{21} を用いている。なお、PチャネルMOSFETを用いた場合は回路が簡素になるという利点が見られる。このように、実施例2によれば、差動増幅回路出力にソースフォロワを接続することにより、CMOS回路に適したシンクチップクランプと同期分離回路を構成することができる。

【0026】なお、上記実施例1、2では正極性映像信号を扱う場合であったが、負極性映像信号を扱うようにしても良い。この場合、NチャネルFETをPチャネルFETに、また、PチャネルFETをNチャネルFETに、また、プルアップはプルダウンに置き換えて構成する。

【0027】

【発明の効果】本発明によれば、出力段をPチャネルMOSFETで構成した差動増幅回路を用いることにより、簡易な回路構成でシンクチップクランプおよび同期分離をCMOSで実現することができる。また、差動増幅回路出力にソースフォロワを接続することによっても同様に、CMOS回路に適したシンクチップクランプおよび同期分離をCMOSで実現することができる。この場合、位相補償用として比較的容量の小さいコンデンサで済むので、形状の小形化および低コスト化を図ることができる。また、抵抗もクランプ電圧を作るためのものだけであるから、相対精度が得られれば良く、また、抵抗値も特別大きくする必要がないので、位相補償用コンデンサとともに形状の小形化および低コスト化を図ることができる。

図の説明

【図面の簡単な説明】

【図1】 本発明に係るシンクチップクランプ／同期分離回路の実施例1を示す図である。

【図2】 本発明に係るシンクチップクランプ／同期分離回路の実施例2を示す図である。

【図3】 従来のシンクチップクランプ／同期分離回路を示す図である。

【図4】 映像信号と差動増幅回路の出力を示す波形図である。

【図5】 従来の他のシンクチップクランプ／同期分離回路を示す図である。

【符号の説明】

5 入力カップリングコンデンサ

17、28 差動増幅回路

Q₁₆ PチャネルFET

Q₂₂ NチャネルFET

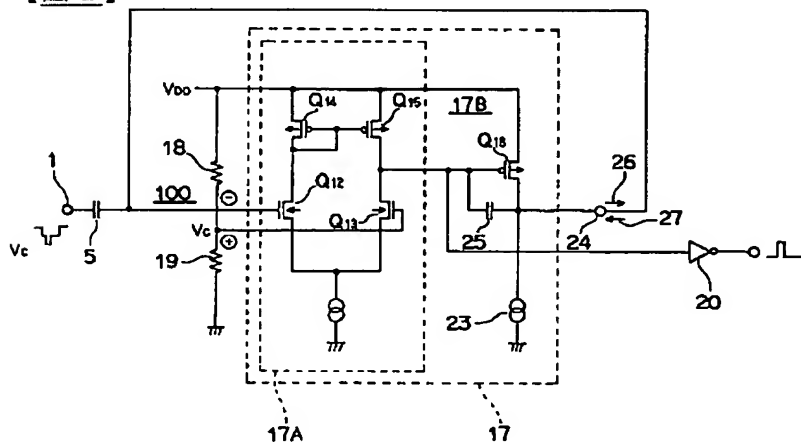
20 バッファ（同期信号出力手段）

23、30 定電流源（電流制限手段）

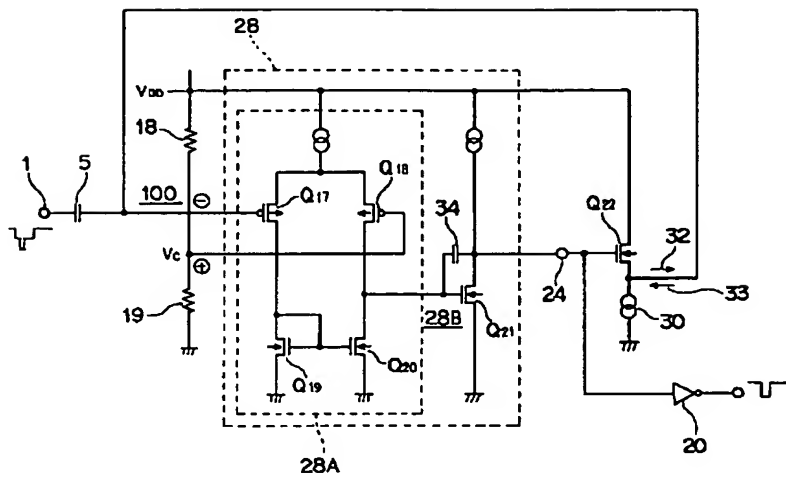
100 電圧印加手段

図面

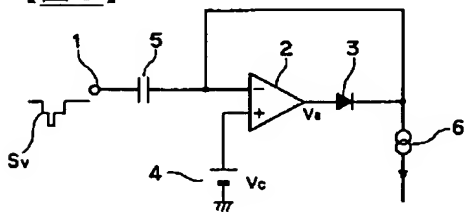
【図1】



【図2】



【図 3】



【図 4】



【図 5】

